

⑫ 公開特許公報(A) 平4-96546

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月27日

H 04 L 12/48
H 04 Q 11/04

7830-5K H 04 L 11/20
8843-5K H 04 Q 11/04

Z
R

審査請求 未請求 請求項の数 4 (全 12 頁)

⑮ 発明の名称 待ち行列バッファ構成方式

⑯ 特 願 平2-214103

⑰ 出 願 平 2 (1990) 8 月 13 日

⑱ 発 明 者 小 林 孝 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 穂 坂 和 雄 外 2 名

明 細 書

1. 発明の名称

待ち行列バッファ構成方式

2. 特許請求の範囲

(1) 所定長のデータの書き込みと読み出しを行う F I F O 内の待ち行列バッファ構成方式において、

バッファ列をアドレス引き継ぎによる単独チェーン形式で構成し、

入力するデータに処理優先度を表すクラス情報を付加し、

データが書き込まれたバッファ位置を示すクラス別の書き込みポインタテーブル(11)を設け、

入力データを空きバッファ(15)に書き込み、該空きバッファ(15)をデータのクラスに応じたチェーン内の位置に挿入してつなぎ替えることを特徴とする待ち行列バッファ構成方式。

(2) ヘッドと情報とで構成する所定長のセルを

格納して読み出す F I F O 内の待ち行列バッファ構成方式において、

各セルのヘッダに処理優先度を表すクラス情報を付加し、

優先度の高いクラスから順次アドレス引き継ぎによる単独チェーン形式でセルが書き込まれる待ち行列バッファと、

クラス別のセル書き込みバッファの後端の位置を格納する書き込みポインタテーブル(11)と、

空きバッファ位置を示す空きバッファポインタ格納手段(13)と、

書き込み待ち行列バッファのアドレス引き継ぎにより更新される読み出しポインタ格納手段(12)とを備え、

入力セルを空きバッファ(15)に書き込み、該セルのクラスに対応して書き込みポインタテーブルを用いて待ち行列バッファ中につなぎ替えることを特徴とする待ち行列バッファ構成方式。

(3) 請求項(2)において、

入力セルを書き込むべき空きバッファをチェー

ン形式で保持する空きバッファポインタ格納手段(13)を備えることを特徴とする待ち行列バッファ構成方式。

(4) 請求項(1)~(3)において、

クラス別の書き込みポインタテーブル(11)に、各クラスのセルが書き込まれて読み出しが終了していないことを表す読み込みフラグが格納されることを特徴とする待ち行列バッファ構成方式。

3. 発明の詳細な説明

[概要]

所定長のデータの書き込みと読み出しを行うFIFO内の待ち行列バッファ構成方式に関し、

単独行列を用いながらセル毎の処理優先度に対応して読み出しの順序を替えることができる待ち行列バッファ構成方式を提供することを目的とし、

バッファ列をアドレス引き継ぎによる単独チェーン形式で構成し、入力するデータに処理優先度を表すクラス情報を付加し、データが書き込まれたバッファ位置を示すクラス別の書き込みポイン

タテーブルを設け、入力データを空きバッファに書き込み、該空きバッファをデータのクラスに応じたチェーン内の位置に挿入してつなぎ替えるよう構成する。

[産業上の利用分野]

本発明は所定長のデータの書き込みと読み出しを行うFIFO内の待ち行列バッファ構成方式に関する。

近年、将来のBISDN(Broadband Integrated Services Digital Network)構築の要索技術として、ATM(Asynchronous Transfer Mode)が注目されている。

ATMスイッチは、一般にセルと呼ばれる固定長情報バケットを蓄積する待ち行列バッファ(以下、キューと呼ぶ)とこれの書き込み/読み出しを制御する回路及び複数のキューを接続する経路で構成され、キューは例えばFIFO(First In First Out)を用いて構成するが、スイッチ内でのセルの送達遅延時間とセルの廃棄率の処理方法

- 3 -

が重要になっている。

[従来の技術]

第8図は従来のATMスイッチの構成例を示す。この構成は、マルチ・ステージ・セルフ・ルーティング(Multi-Stage Self-Routing: MSSR)式のスイッチを用いた例である。

第8図の動作の概要を説明すると、入力ハイウェイ(Input Highway)から連続して入力するセルはそれぞれバーチャルチャネル番号(Virtual Channel Number: 以下VCNという)を含むヘッダと情報とで構成され、複数のセルがVCNコンバート(VCCという)80に入力すると、VCCは図示されないテーブルを参照してVCNをスイッチングに用いる制御情報であるタグ(TAG)に変換する。セルの本体とタグは、MSSRネットワーク81内の初段のセルフ・ルーティングモジュール(SRMという)82に入力する。この中の切替部821は、入力したセルをVCC80で発生したタグにより切替え制御し、指定さ

- 4 -

れたルート別に設けられた待ち行列(キュー)バッファ822に入力する。複数の同じルート(ここでは次段のモジュールへのリンク(LINK))に接続された複数の待ち行列バッファ822に書き込まれたセルは順次読み出され多重部823で多重化され次段へ出力され、以下同様に各SRM82で順次スイッチングが行われて最終段のSRM82から出力ハイウェイに出力される。

なお、呼処理部(Call Processing)84は信号処理部(Signal Processing)83からの信号情報を受取り、各VCCのタグの制御を行う。

上記のように従来のATMスイッチは、セルと呼ばれる固定長情報バケットを蓄積するキューバッファが用いられ、一般にFIFOを用いて構成する。

ATM網に收容されているメディアとしては、画像、音声、データ等の各種があり、それぞれ要求する通話品質に応じて、セル廃棄率や送達の許容遅延時間が相違する。例えば、音声や動画像の場合はリアルタイム性が重要視され、遅延時間は

一定時間内に維持される必要があるが、セル廃棄が生じて影響が少ない。これに対しデータの場合は、セル廃棄が生じると意味がなくなるが、遅延時間に対しては比較的影響がすくない。

そこで、通信クラスを複数定義して、これに基づいてスイッチ内の前記許容値を調整することによって、各種メディアに必要な通信品質を保証する概念がC C I T T等で検討されている。通信クラスは、送信者がセルのヘッダ中に表示するビット列で表し、網はこのビット列を認識して前記許容値に応じたスイッチングを行うという考えである。

〔発明が解決しようとする課題〕

従来のA T Mスイッチでは、入力線当たり1個のキューを設置し、複数種類のセル、すなわち通信クラスが異なるものを処理するのが一般的である。この方式では、スイッチのスループットを向上させるかまたは、キュー長を増加させる等のスイッチ全体の性能向上によって、要求条件を満た

すことになり、ハードウェアの負担は飛躍的に増大するという問題がある。

これに対し、キューを通信クラス毎に分割して設置し、これらのキューの読み出しアクセスに優先度を付加することによって等価的に前記許容値を変化させる方法が考えられる。しかし、この方法も通信クラスに対応してキューのハード量が増大することになり上記の問題を解決しないし、トラフィックの偏りに対しても柔軟な対応が取りにくい。

また、優先度が高い通信クラスのセルを、待ち行列の途中に割り込ませる方法も存在するが、従来の入力した順番に出力を行う単純F I F Oでは実現困難であった。

本発明は単独行列を用いながらセル毎の処理優先度に対応して読み出しの順序を替えることができる待ち行列バッファ構成方式を提供することを目的とする。

- 7 -

〔課題を解決するための手段〕

第1図は本発明の原理構成図である。

第1図において、10はヘッダと情報からなりヘッダに処理優先度（通信種別）を含む固定長情報のセル、11はクラス別の書き込みポイントを格納した書き込みポイントテーブル、12は読み出しポイント格納手段、13は空きバッファポイント格納手段、14はF I F O内の書き込みバッファの待ち行列を形成する書き込みバッファ、15はF I F O内の空きバッファの待ち行列を形成する空きバッファである。

本発明は固定長情報中に処理優先度を表すクラス情報を付加し、固定長情報を格納するために単独の待ち行列を用いながら、情報を格納する時に各クラスの優先度の順番に応じた位置に書き込みバッファを配置替えるものである。

〔作用〕

書き込みバッファを形成する各バッファ14は、それぞれセル（ヘッダと情報）が書き込まれてお

- 8 -

り、先頭に自バッファの後につながるバッファのバッファアドレスが格納され、その後にセルが格納されている。このバッファの待ち行列は先頭から順次最後のバッファまでアドレス引き継ぎの形式でチェーンを形成する。

先頭のバッファはセルが書き込まれた後、現在まで読み出しが行われていないバッファの中で最も優先度の高いバッファを表し、そのバッファアドレスは読み出しポイント格納手段12に格納されている。また、これらの待ち行列バッファは、クラス別に優先度の高いものを先頭に低い方に順番に順序付けられてチェーンが形成されており、同じクラスのセルの間では、先に到着したセルの方が前の位置（読み出しが早い位置）に置かれる。

書き込みバッファの待ち行列の中で各クラスのセルが書き込まれた最後のバッファのバッファアドレスが、クラス別の書き込みポイントテーブル11にクラス別に格納されており、各クラスに対応してそのクラスの書き込みバッファがあるか否かを表す書き込みフラグ（W Fで表示）も設定さ

れる（書き込み済は“1”，書き込まれてない時は“0”）。図の例では，クラス1はバッファアドレスAにクラス1のセルの最後（最新）のデータが格納されていることを示し，クラス2はバッファアドレスCに最後のデータが格納されていることを表す。

また，空きバッファ15の待ち行列が設けられ，先頭の空きバッファのバッファアドレスが空きバッファポイント格納手段13に格納される。

セルが到着すると，空きバッファポイント格納手段13の内容により示す空きバッファ列の先頭バッファ15（図の例ではE）を獲得し，同時に空きバッファポイントを次の空きバッファアドレス（図ではF）に更新する。次に到着したセルを獲得した空きバッファアドレスに書き込む。

一方，セルのクラスを識別して，書き込みポイントテーブル11の該当クラスの書き込みポイントを検索し，直前に到着したセルの格納アドレスを知り，そのバッファの先頭の引き継ぎ先バッファアドレスを上記獲得したバッファアドレス（

E）に変更する。次に，直前に到着したセルが格納されていたバッファの変更前（元の）の引き継ぎ先のアドレスを上記獲得したバッファアドレス（E）の先頭に引き継ぎ先アドレスとして格納する。

これにより，クラス毎の末端のバッファに新しいバッファをつなぐことができ，且つ全体のチェーンの連続性が保たれる。また，クラス別の書き込みポイントテーブル11内の該当クラスのポイントは新たにセルが書き込まれたポイントに更新される。

読み出し動作は，読み出し要求が発生する毎に読み出しポイント格納手段12に示す書き込み済み待ち行列バッファの先頭から読み出され，同時に読み出しポイントの内容は，次バッファアドレスに更新される。読み出し後のバッファは，空きバッファ列にチェーンされる。

チェーンの末端に位置するバッファの引き継ぎ先アドレス部には常にエンド・マークを挿入し，書き込み・読み出し動作において，共に空きバッ

- 11 -

ファまたは読み出しバッファの引き継ぎ先アドレスとしてエンドマーク（EMで表示）を検出した場合は何れの動作も停止する。新たにチェーンを形成する際は，EMの代わりに新たなバッファの先頭アドレスをロードする。

〔実施例〕

第2図は実施例のハードウェア構成図，第3図は初期設定の動作シーケンス，第4図(a)及び第4図(b)は書き込み動作シーケンス，第5図は読み出し動作シーケンス，第6図は積込み済バッファ列の構成例，第7図は空きバッファ列の構成例である。

第2図のハードウェア構成図は，本発明を実施するのに必要な主要な構成が示されている。

20は空きバッファポイントメモリ（EPMで表示），21は書き込みポイントメモリ（WPMで表示），22は読み出しポイントレジスタ（RPRで表示），23，24はセレクト（SELで表示），25は空きバッファの待ち行列及び書き

込みバッファ待ち行列が形成されるメモリ，26はメモリの読み出し，書き込みを制御するメモリ制御回路，27はメモリの初期化を行うリセット回路，28は空きバッファアドレスラッチ，29は積込済バッファアドレスラッチ，30は引き継ぎバッファアドレスラッチ，31-1～31-3は比較回路（COMP），32は各部の動作を制御する制御部である。

空きバッファポイントメモリ（EPM）20には，空きバッファ列の先頭のアドレスである空きバッファポイント（ERP）と空きバッファ列の最後のアドレスである空きバッファ積込みポイント（EWP）とが格納され，書き込みポイントメモリ（WPM）21には，クラス別書き込みポイント（WP）と積込みフラグとが各クラス別に書き込まれている。また，読み出しポイントレジスタ22は書き込み済の待ち行列バッファの先頭のバッファアドレス（現時点で読み出し優先度の最も高いバッファアドレス）が格納されている。

第2図の構成を用い，制御部32の制御による

各動作シーケンスを第3図乃至第5図により説明する。

第3図は初期設定の動作シーケンスである。

最初に初期設定要求が発生すると、制御部32から初期化信号が発生し、クラス別書き込みポイントWP（第2図の21のWPM内）を全て“0”に設定すると共に、積込みフラグは全てオフにし、次に読み出しポイント（第2図のRP22内）にEM（エンドマーク）を書き込み、空きバッファポイント（第2図のEPM20内のEPR）に“00”を書き込み、更にその空きバッファのアドレス“00”に次空きバッファのアドレスの初期値を書き込む（以上第3図300～303）。

次に空きバッファに書き込まれた引き継ぎアドレス（書き込みアドレス）が規定値（空きバッファに割当てられたアドレスの最後のアドレス）に達したか否かを判断し（同304）、達していない場合、ステップ305～307において順次空きバッファチェーンを形成する。その際、引き継ぎアドレス+固定値を書き込みデータ（引き継ぎ

先アドレス）として書き込む。

こうして、書き込みアドレス（空きバッファの先頭）が規定値に達すると書き込みアドレスにデータ“EM”を書き込み、空きバッファ積込みポイント（第2図のEPM20を構成する図示されないレジスタEWPに格納する）に規定値を書き込んでリターンする（同308、309、310）。

このようにして形成された空きバッファ列の構成例を第7図に示す。図に示すように、空きバッファ積込みポイント（EWP）は、空きバッファの最後のバッファアドレスを保持し、空きバッファポイント（ERP）は、空きバッファ列の先頭のバッファアドレスを保持（初期値は00）する。

次に、セルが入力した時の書き込み動作シーケンスを第4図(a)及び第4図(b)を用い、第6図及び第7図を参照しながら説明する。

セルが到着すると、空きバッファポイント（ERP）を読み出す（第4図(a)402）。この時、第7図の例では、データとして“C”（バッファアドレス）が読み出される。獲得した空きバッファ

- 15 -

が有効か否か（読み出しデータが“EM”でないか否か）を判断し（同403）する。“EM”の場合、後述するステップ404以下の処理が行われるが、有効（“C”の場合）なら、そのアドレス“C”の内容をリードする（同410）。この例では、アドレス“C”のバッファのデータ（引き継ぎアドレス）として“D”が得られる（これは第2図の空きバッファアドレスラッチ28に格納される）。

次に、空きバッファポイントERP（第2図の20内）にデータ“D”を書き込む（同411）。この“D”は後続するセルの書き込み先に使用する。

次に、入力したセルのクラス情報を取り出し、そのクラスを用いて書き込みポイントメモリ（第2図のWPM21）からクラス別書き込みポイントと積込みフラグを取り出す（同412）。第6図の例ではクラスが“M”の場合、書き込みポイントが“A”で、積込みフラグはオン（“1”）のデータが取り出される。

- 16 -

次に積込みフラグがオン（当該クラスの書き込みバッファが有るか）か否か判別し（同413）。オンならこのクラスのセルが以前に書き込み済（読み出し前）であることが分かる。オフの場合図示しないが、上位のクラスのフラグがオンになっている書き込みポイントWPを読み出して、そのアドレスのバッファの引き継ぎ先アドレスを取り出し、上記獲得したアドレス“C”のバッファの引き継ぎ先アドレスとして書き込み、①の経路により後述するステップ416に移行する。

ステップ413で積込みフラグがオンの場合、このクラス（“M”とする）のセルの最後に書き込まれたバッファアドレス“A”（ステップ412で読み出した）の内容を読み出す（同414）。この結果、第6図の例の場合、引き継ぎ先アドレスとして“B”が読み出される。この引き継ぎ先アドレス“B”は、先に獲得した空きバッファであるアドレス“C”のバッファ内の引き継ぎ先アドレスとして書き込まれる（同415）。こうして、アドレス“C”のバッファの後にアドレス

"B" のバッファがつながれたことになる。

この後、①により第4図(ハ)に移り、ハント(獲得)済の空きバッファ(アドレス"C")に、到着セル情報(固定長)を書き込み(同416)、さらに書き込みポイントメモリ(WPM)の該当クラスにデータ"C"を書き込み(同417)、以前に積込みフラグがオフの場合、ここでオンに設定し、アドレス"A"の引き継ぎ先アドレスとしてデータ"C"を書き込む(同418)。これにより、アドレス"A"のバッファの後にアドレス"C"のバッファがつながり、書き込みポイントが更新される。

次に読み出しポイントRP(第2図22)を読み出して、その内容がEM(エンドマーク)と一致するか判断して、一致する場合は読み出しポイントに"C"を書き込む(ステップ419、420)。これは、読み出しポイントが最後のバッファまで読み出した状態で停止した時、アドレスCを先頭アドレスとしてここから読み出させるものである。

- 19 -

ンタWPに対して、上記ステップ408の動作(データ"B"を書き込む)を行うようにする。但し、この中で、既にフラグがオンのものが存在すれば、このクラス以下の書き込みポイントWPについては除外する。以上の動作によってクラス間の優先度は保存される。

次に第5図に示す読み出し動作シーケンスについて説明する。

読み出し要求が発生すると、読み出しポイント(RP)を読み出す(第5図501)。第6図の例では、"E"が読み出される。次に読み出した内容が空きか(RP=EMか)否かを判別し、空きなら終了し、データが入っている場合(アドレス"E"の場合)、そのアドレスの積込み(書き込み済)バッファからセル情報(引き継ぎアドレスの後のデータ)を読み出す(同503)。読み出したデータは、第2図のメモリ25からデータOUTとして出力される。

この後クラス別書き込みポイントWPの内容と前記のデータ(アドレス"E")を比較し、一致

上記ステップ403において、空きバッファがない場合(RP=EMの時)、到着セルが表示するクラスに対応するクラス別書き込みポイント(WP)を読み出し(同404)、読み出されたバッファアドレス("A"とする)により該当バッファの引き継ぎ先アドレスを読み出す(同405)。この例ではアドレス"B"が得られるものとする。この"B"が、EMであるか否かを判断する(同406)、もしEMであれば到着セルを書き込むべきバッファが無いものとして到着セルを廃棄する(同409)。EMでない場合は、ハント済バッファ(アドレス"B")に到着セル情報を二重書き込みして前の情報を消す(同407)。次に、書き込みポイントメモリWPMにデータ"B"を書き込み、同時に該当クラスの積込みフラグをオンにする(同408)。上記ステップ404~409の動作はセルが表示するクラスMにおいて実行される。

この他に、クラスM以下で、かつ積込みフラグが非活性(オフ)の全てのクラスの書き込みポイ

- 20 -

したらこのクラスの最後の書き込みバッファであるので、このクラスの積込みはフラグをオフにする(同505、506)。次に、アドレス("E")の引き継ぎ先アドレス("F")を、読み出しポイントRPに書き込んで読み出しアドレスを更新する(同507)。そして、アドレス"E"にデータ"EM"を書き込む(同508)。これは、読み出した後のバッファを空きバッファの最後に組み込む準備であり、続けて空きバッファ積込みポイントEWP(第3図及び第7図参照)の内容を読み出し、アドレスデータ(第7図の例では"C")を得て(同509)、このアドレス("G")のバッファの引き継ぎ先アドレスとして前記最後に付加されるバッファのアドレス"E"を書き込む(同510)。最後に、空きバッファ積込みポイントEWPにアドレス"E"を書き込み(同511)、空きバッファの最後のバッファ位置を表示する。

上記の動作において、書き込み、読み出し動作では、共に空きポイント、読み出しポイントのそ

れぞれがエンドマーク（EM）を表示した時点で停止する。そのために、チェーンの末端に位置するバッファの引き継ぎ先アドレス部には常にEMを挿入する。新たに、チェーンを形成する際には、各ポイントの先頭アドレスがロードされる。

通信別書き込みポイントはセルの到着毎に更新されるが、一旦該クラスのセルが積込み済バッファになくなると次に該クラスのセルが到着した場合、該クラスより上位のクラスの内セルが積込み済の状態にある最下位クラスの書き込みポイントを用いて、そのバッファのつなぎ込み動作が行われる。

上記のように、クラス別の処理優先度が保証され、優先度が高いセルについて遅延時間及び廃棄特性が改善される。

〔発明の効果〕

本発明によれば単独行列を用いて、セル毎に処理優先度（通信種別）を付加できるため、高速と低速の混合処理を必要とする通信において、比較

的低速動作の装置を用いて機能を満足させることが可能である。また、複数種類の通信クラスを持つセルを一括処理できるため、通信クラス間のトラフィックの偏りにも柔軟に対応することができ、バッファの分割損（バッファを分割して管理するための負担）が緩和できる。

4. 図面の簡単な説明

第1図は本発明の原理構成図、第2図は実施例のハードウェア構成図、第3図は初期設定の動作シーケンス、第4図(a)及び第4図(b)は書き込み動作シーケンス、第5図は読み出し動作シーケンス、第6図は積込み^済バッファ列の構成例、第7図は空きバッファ列の構成例、第8図は従来のATMスイッチの構成例である。

第1図中、

- 10：固定長情報のセル
- 11：クラス別の書き込みポイントテーブル
- 12：読み出しポイント格納手段
- 13：空きバッファポイント格納手段

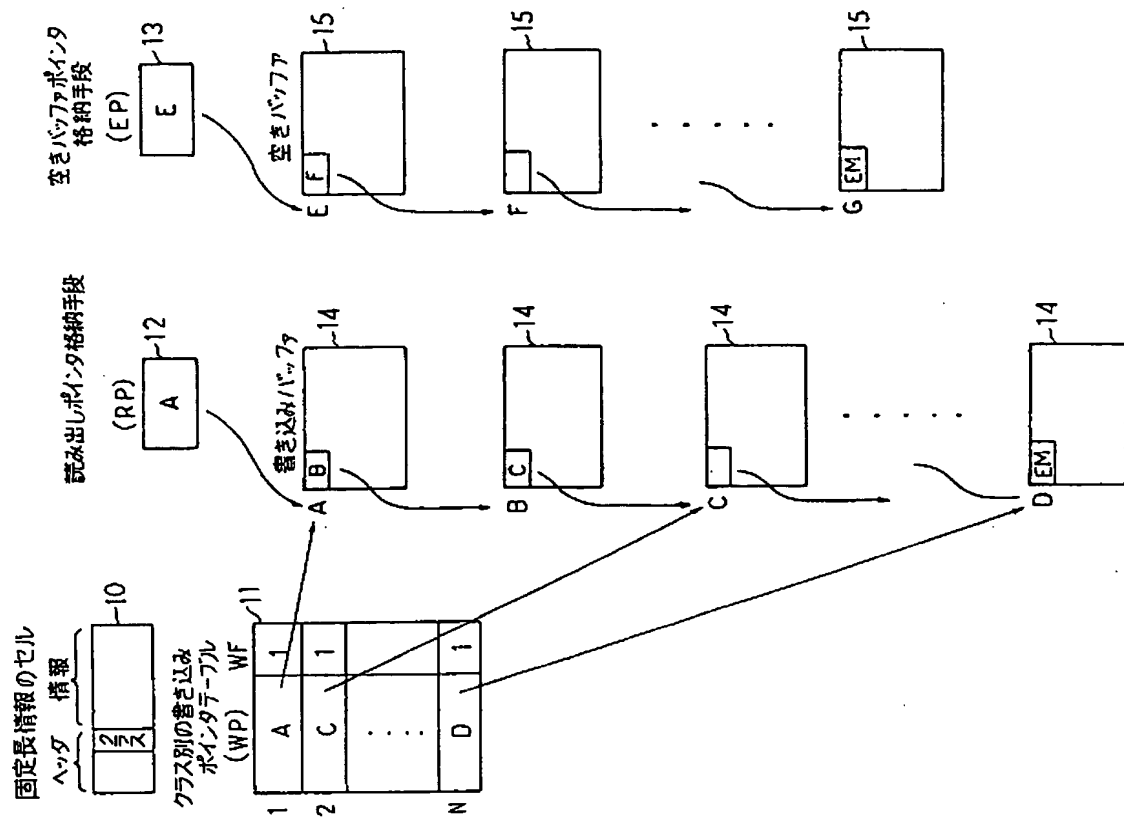
- 2 3 -

14：書き込みバッファ

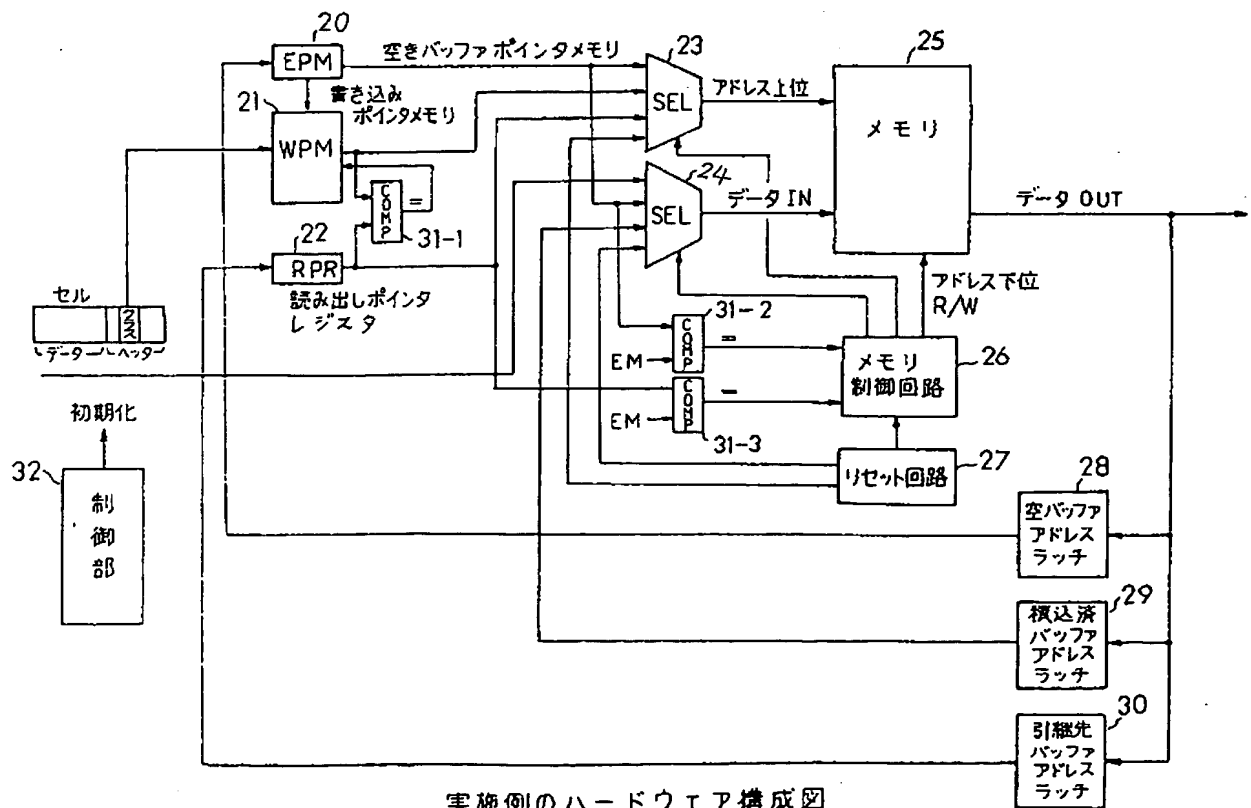
15：空きバッファ

- 2 4 -

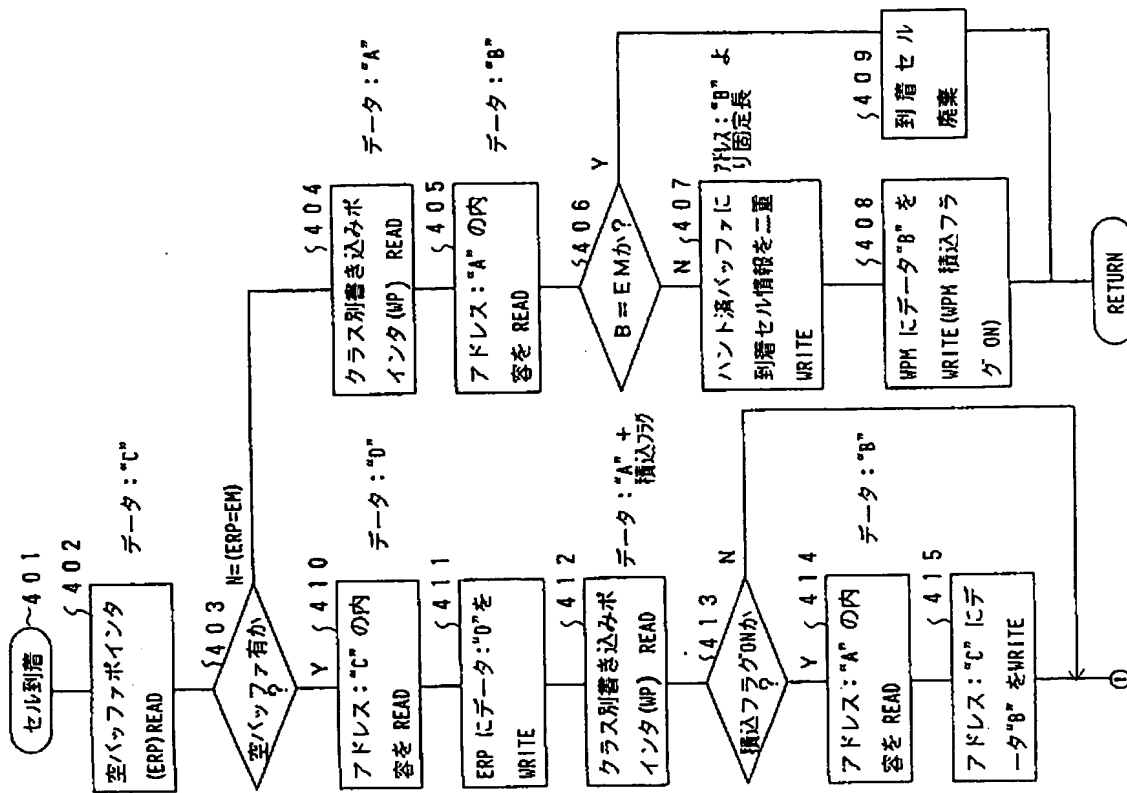
特許出願人 富士通株式会社
代理人弁理士 徳坂 和雄（外2名）



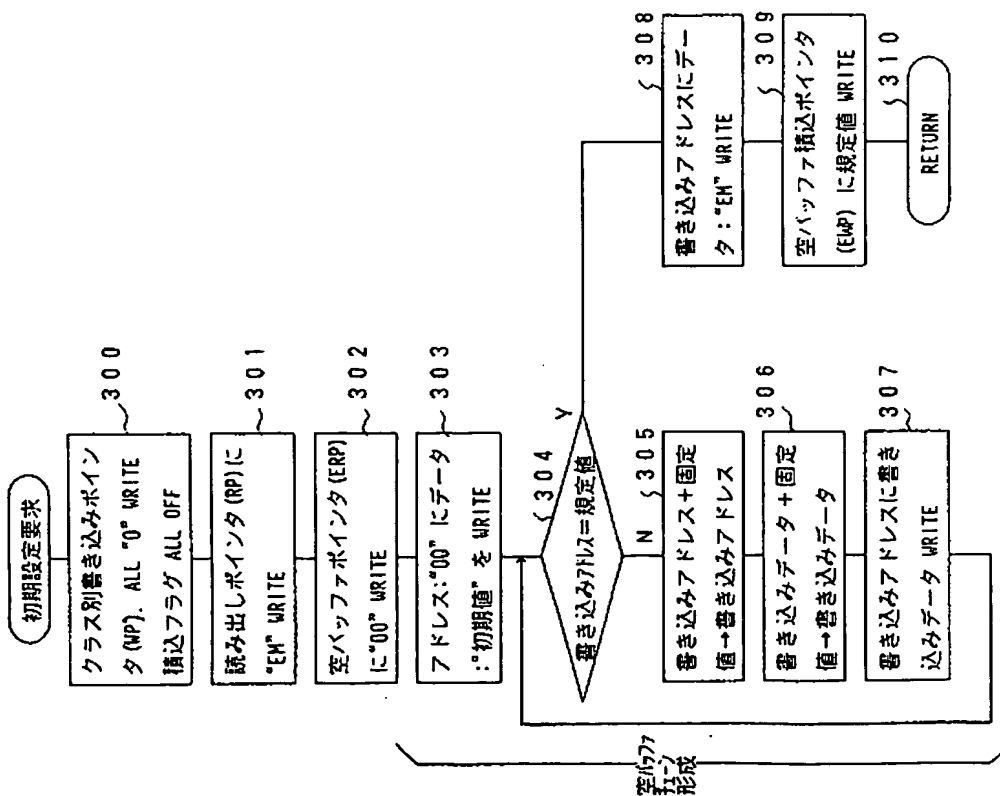
本發明の原理構成図
第 1 図



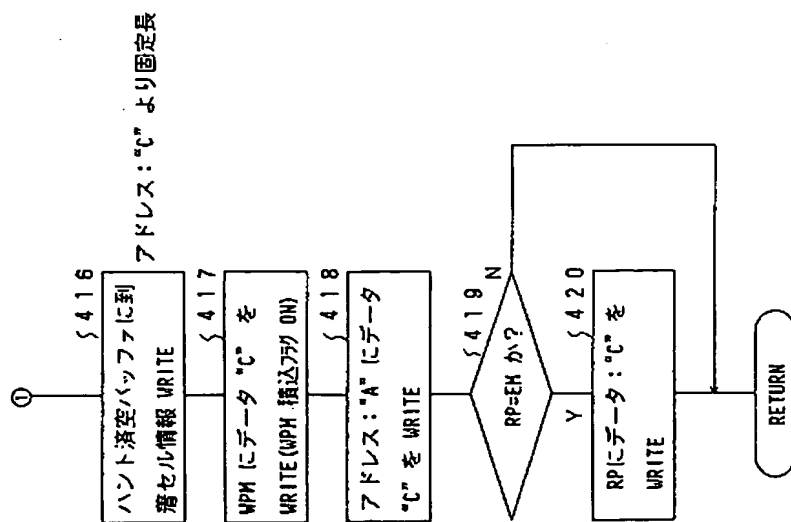
実施例のハードウェア構成図
第 2 図



第 4 図(a)

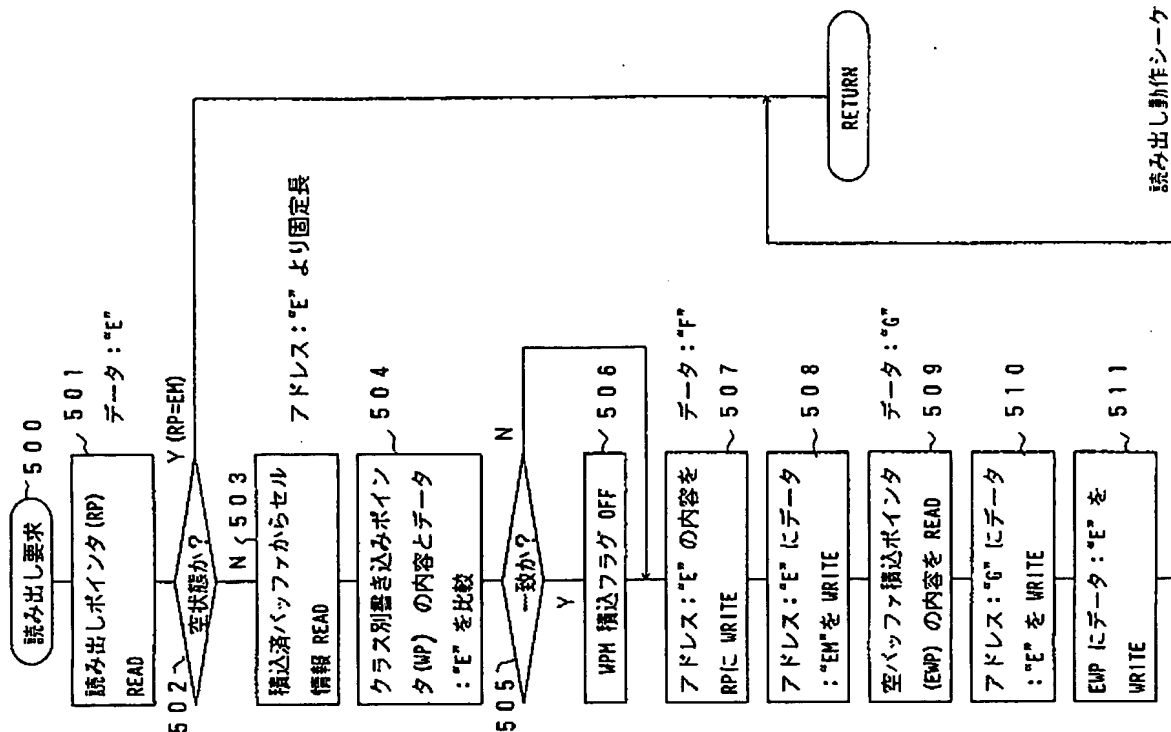


初期設定の動作シーケンス 第3図

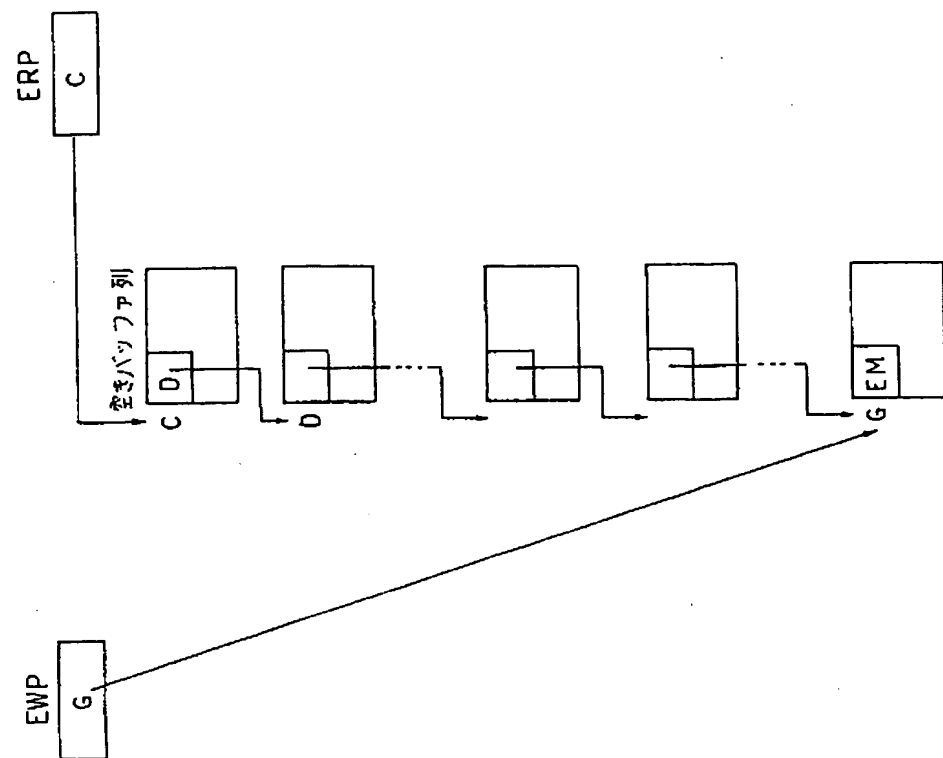


書き込み動作シーケンス

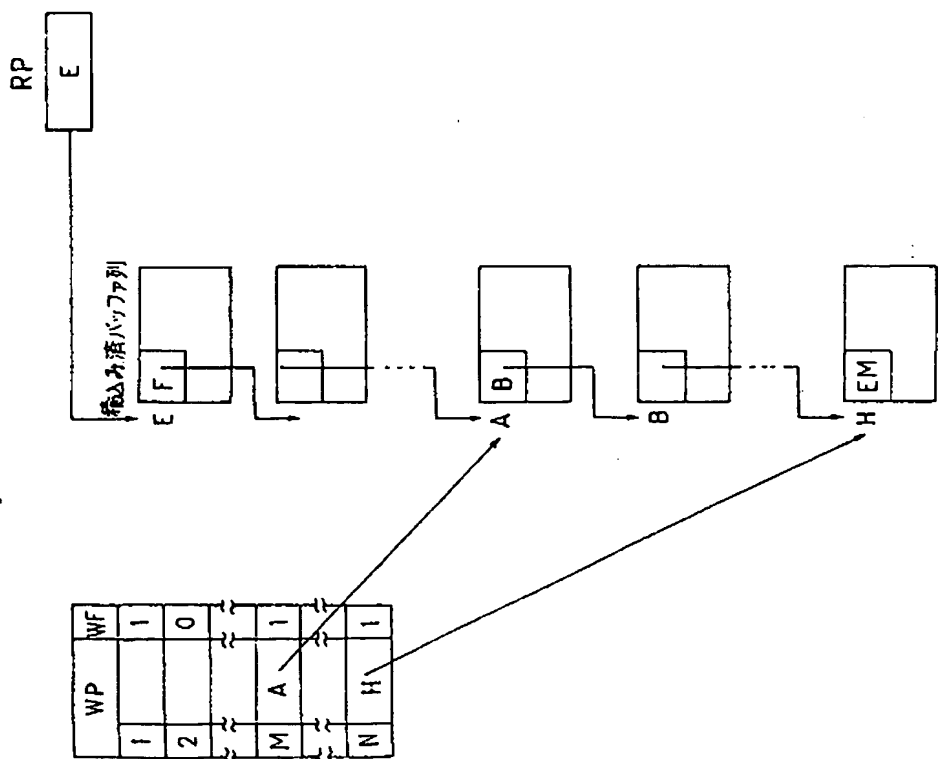
第 4 図(b)



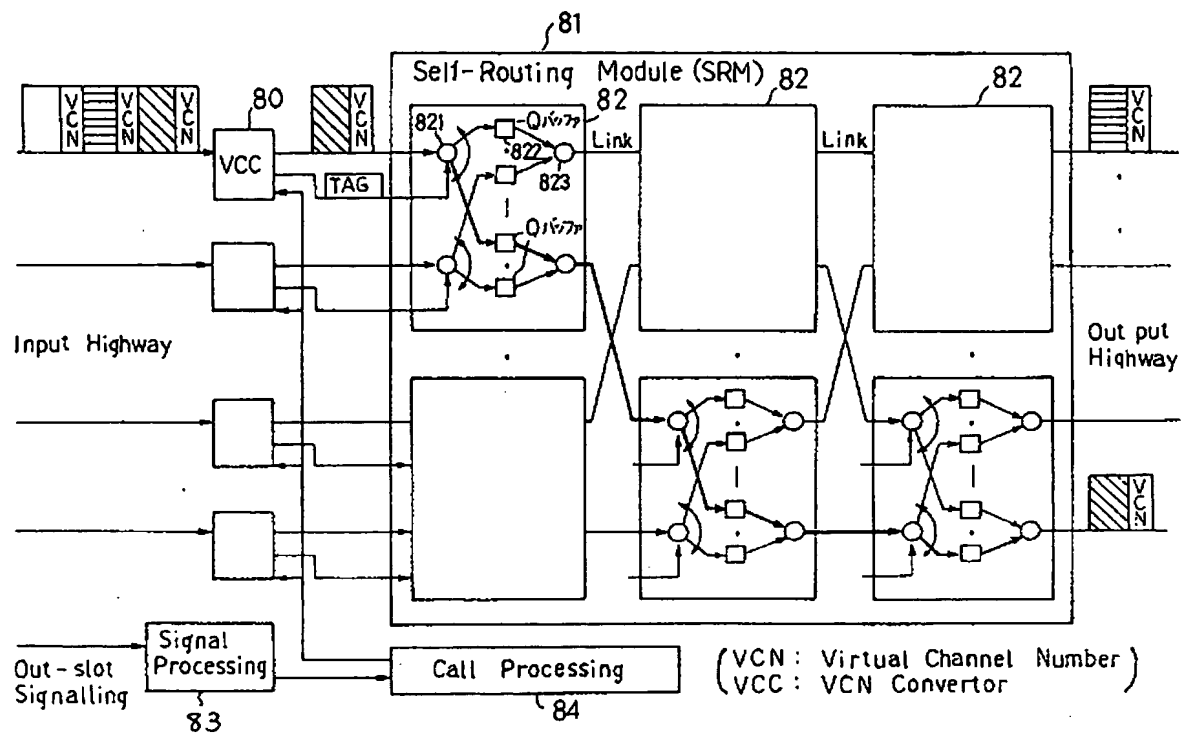
第 5 図



空きバッファ列の構成例
第 7 図



繰込み済バッファ列の構成図
第 6 図



従来のATMスイッチの構成例

第 8 图